



# MĚŘENÍ – Laboratorní cvičení z měření

## Měření parametrů logického obvodu

### část 3-6-1 Teoretický rozbor

# Výukový materiál

**Číslo projektu:** CZ.1.07/1.5.00/34.0093

**Šablona:** III/2 Inovace a zkvalitnění výuky prostřednictvím ICT

**Sada:** 1

**Číslo materiálu:** VY\_32\_INOVACE\_



INVESTICE DO ROZVOJE VZDĚLÁVÁNÍ

# NÁZEV DUM

**Předmět: MĚŘENÍ**

**Ročník: 3.**

**Jméno autora: Ing. Jaroslav Drexler**

**Škola: VOŠ a SPŠ Šumperk, Gen. Krátkého 1**

**Anotace : Rozbor měření základních parametrů logického obvodu a způsob jejich měření.**

**Klíčová slova: logický obvod, hradlo TTL, logický člen, charakteristika, logická úroveň**

# POUŽITÉ ZDROJE

1. BEN - technická literatura. *Elektrotechnická měření*. Dotisk 1.vydání. Praha: Nakladatelství BEN – technická literatura, 2003. 256 s. ISBN 80-7300-022-9.
2. Konstrukční katalog logických integrovaných obvodů, TESLA elektronické součástky koncern Rožnov pod Radhoštěm 1982

*Autorem materiálu a všech jeho částí, není-li uvedeno jinak, je Ing. Jaroslav Drexler  
Financováno z ESF a státního rozpočtu ČR.*

# Teoretický rozbor úlohy:

## Měření základních parametrů logického obvodu

Logický obvod není určen ke zpracování analogového signálu, ale vždy má definované určité rozmezí hodnot napětí, které vyhodnocuje jako „Log 0“ (L) nebo „Log 1“ (H). Mezi těmito úrovněmi se nachází pásmo neurčité oblasti, kde dochází ke změně stavu z úrovně L->H nebo H->L. Tato tolerance hodnot je velmi důležitá, aby se logické obvody mohly vzájemně spojovat. Tak například pro řadu logických obvodů TTL jsou definovány následující hodnoty:

na vstupu:	Log 1 .....	napětí $U_{IH} \geq 2,0 \text{ V}$
	Log 0 .....	napětí $U_{IL} \leq 0,8 \text{ V}$
na výstupu:	Log 1 .....	napětí $U_{OH} \geq 2,4 \text{ V}$
	Log 0 .....	napětí $U_{OL} \leq 0,4 \text{ V}$

## Význam jednotlivých katalogových značení napětí je:

$U_{IH}$  - vstupní napětí v logické 1 (Input High)

$U_{IL}$  - vstupní napětí v logické 0 (Input Low)

$U_{OH}$  - výstupní napětí v logické 1 (Output High)

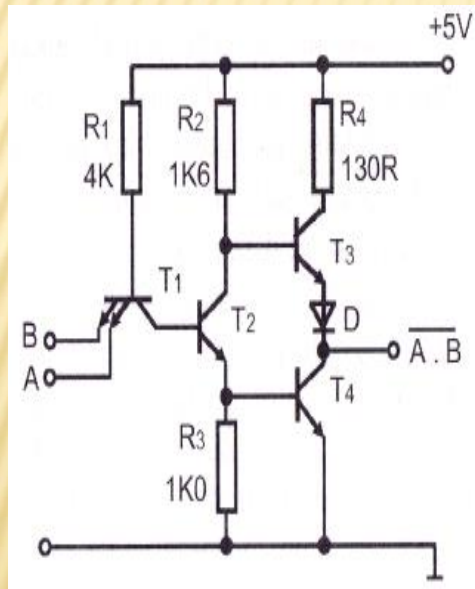
$U_{OL}$  - výstupní napětí v logické 0 (Output Low)

Při zpracování logických signálů je třeba vytvářet obvody realizující určité logické funkce jako jsou: NOT, AND, OR, XOR atd., které vyhodnocují kombinace více proměnných. Z technického hlediska nelze vyrábět všechny možné funkce pro různý počet proměnných, a proto byly vybrány funkce, pomocí kterých lze ostatní funkce realizovat.

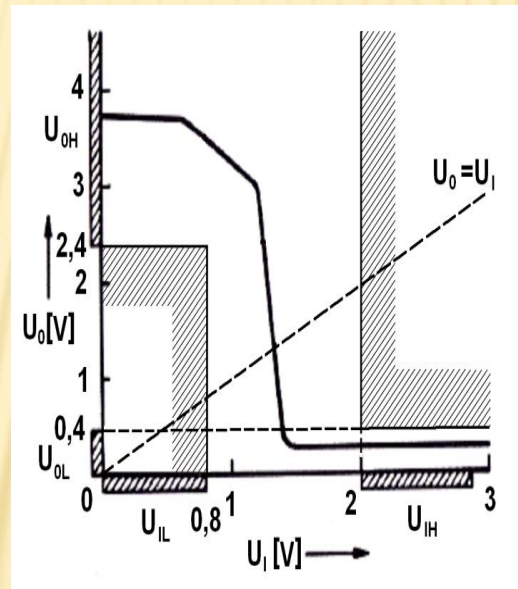
Nejčastěji vyráběnými obvody (hradly) jsou NAND (negovaný součin), NOR (negovaný součet) a XOR (exklusivní součet = výhradní nebo). Ostatní funkce lze pomocí těchto funkcí snadno realizovat. Vývojové nástroje používané k návrhu a minimalizaci zapojení vedou právě k využití těchto typů hradel.

# Hradlo NAND:

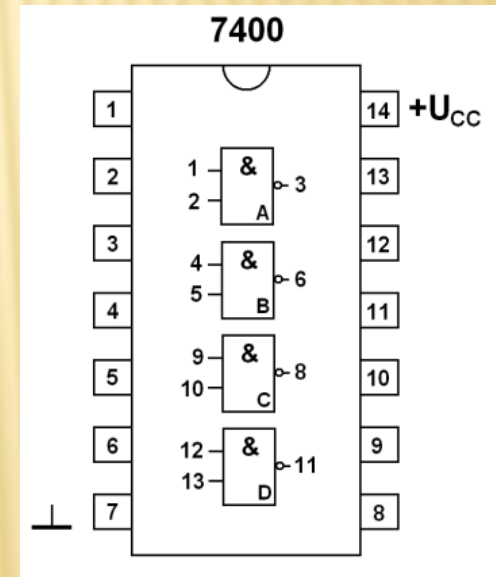
Logické hradlo TTL bylo prvním vyrobeným logickým členem. Typické vnitřní uspořádání hradla NAND v technologii TTL standard (Tranzistor-Tranzistor-Logic) je na Obr. 1, převodní charakteristika hradla na Obr. 2 a zapojení pouzdra na Obr. 3.



Obr.:1



Obr.:2



Obr.:3

# Hradlo NAND MH7400:

## Charakteristické údaje:

min. – max.

při hodnotě:

Vstupní napětí – úroveň H	$U_{IH}$	$>2,0 \text{ V}$	$U_{cc} = 4,75 \text{ V}$
Vstupní napětí – úroveň L	$U_{IL}$	$<0,8 \text{ V}$	$U_{cc} = 4,75 \text{ V}$
Výstupní napětí – úroveň H	$U_{OH}$	$>2,4 \text{ V}$	$U_{cc} = 4,75 \text{ V}, I_{OH} = -400 \mu\text{A}$
Výstupní napětí – úroveň L	$U_{OL}$	$<0,4 \text{ V}$	$U_{cc} = 4,75 \text{ V}, I_{OL} = 16 \text{ mA}$
Vstupní proud – úroveň H	$I_{IH}$	$<40 \mu\text{A}$	$U_{cc} = 5,25 \text{ V}, U_{IH} = 2,4 \text{ V}$
Vstupní proud – úroveň L	$-I_{IL}$	$<1,6 \text{ mA}$	$U_{cc} = 5,25 \text{ V}, U_{IL} = 0,4 \text{ V}$
Výstupní proud zkratový	$-I_{OS}$	$15 - 55 \text{ mA}$	$U_{cc} = 5,25 \text{ V}$
Odběr ze zdroje – úroveň H	$I_{CCH}$	$4 < 8 \text{ mA}$	$U_{cc} = 5,25 \text{ V}, U_{IL} = 0 \text{ V}$
Odběr ze zdroje – úroveň L	$I_{CCL}$	$12 < 22 \text{ mA}$	$U_{cc} = 5,25 \text{ V}, U_{IH} = 4,5 \text{ V}$
Logický zisk	N	10	
Napájecí napětí	$U_{CC}$	$5,00 \text{ V} \pm 0,25 \text{ V}$	
Pracovní teplota okolí	$t_a$	$0^\circ\text{C} \text{ až } +70^\circ\text{C}$	



## Měřicí metody základních parametrů:

Jmenovité napájecí napětí pro obvody TTL je  $U_{CC} = 5,0$  V<sub>ss</sub>. Vyráběné řady 74xx a 84xx povolují toleranci napájení  $\pm 0,25$  V. Řada 54xx povoluje toleranci napájení  $\pm 0,5$  V. Měření parametrů provádíme vždy pro nejnepříznivější případ, tj. při maximálním nebo minimálním napájecím napětí a při teplotě okolí 25°C. Při měření vycházíme ze základního zapojení měřicího přípravku viz **Obr. 4**.

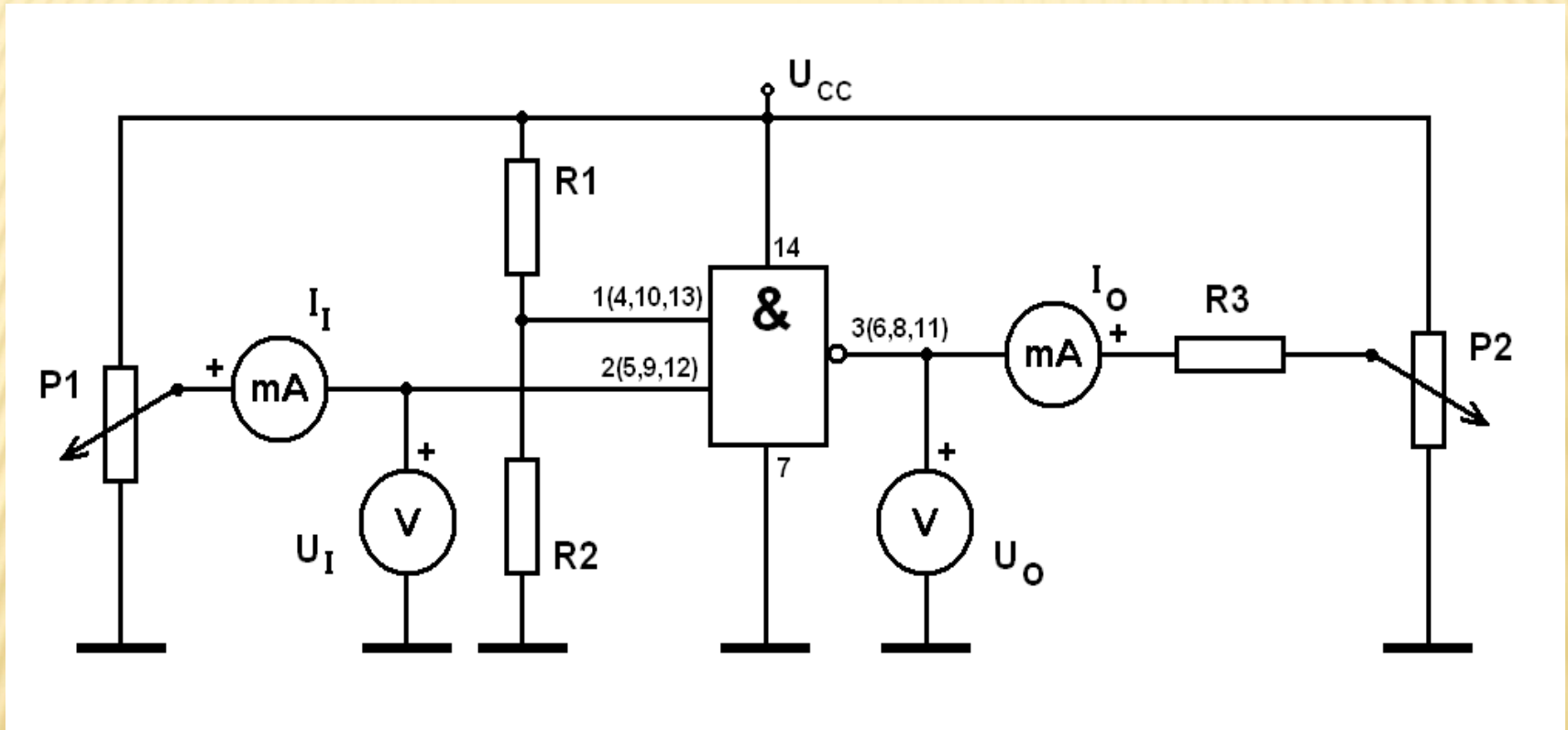
Dále u jednotlivých měření charakteristik jsou uvedena zjednodušená schémata. **U všech měření nesmíme zapomenout připojit napájení obvodu – vývody 7 GND a 14 U<sub>cc</sub>.**

Nepoužité vstupy připojíme na Log. 1 – dělič  $R_1 = 4k7$  a  $R_2 = 47k$

Pokud vstup nepřipojíme, bude se u obvodu NAND chovat jako Log. 1

Při měření měníme napětí na vstupu nebo na výstupu a odečítáme hodnoty proudů a napětí.

# Celkové schéma přípravku pro měření hradla NAND



Obr. 4

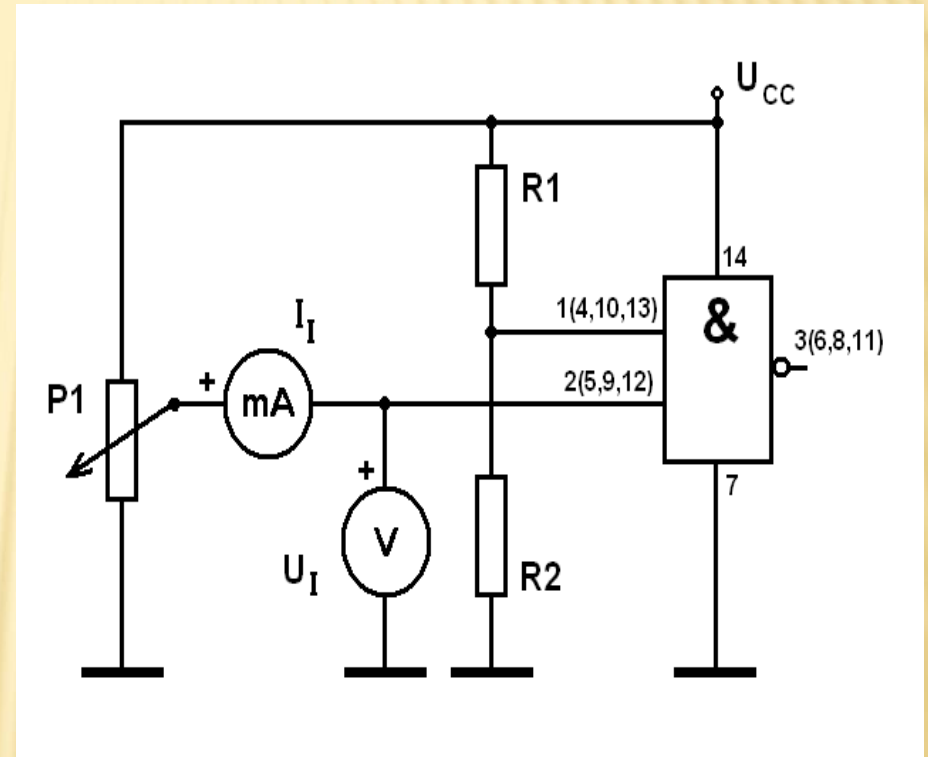
# 1. Vstupní charakteristika logického členu

$$I_I = f(U_I) \quad \text{při } U_{CC} = 5,25 \text{ V}$$

## Postup měření:

Potenciometrem P1 měníme hodnotu vstupního napětí  $U_I = 0$  až  $5,25 \text{ V}$  a odečítáme vstupní proud  $I_I$  (rozsah cca  $-1,6 \text{ mA}$  až  $+40 \mu\text{A}$ ).

Naměřené hodnoty vyneseme do grafu a vyznačíme do něj maximální proudy  $I_{IL}$  a  $I_{IH}$ , které splňují podmínky  $U_{IL} \leq 0,8 \text{ V}$  a  $U_{IH} \geq 2,0 \text{ V}$ .



## 2. Převodní charakteristika logického členu

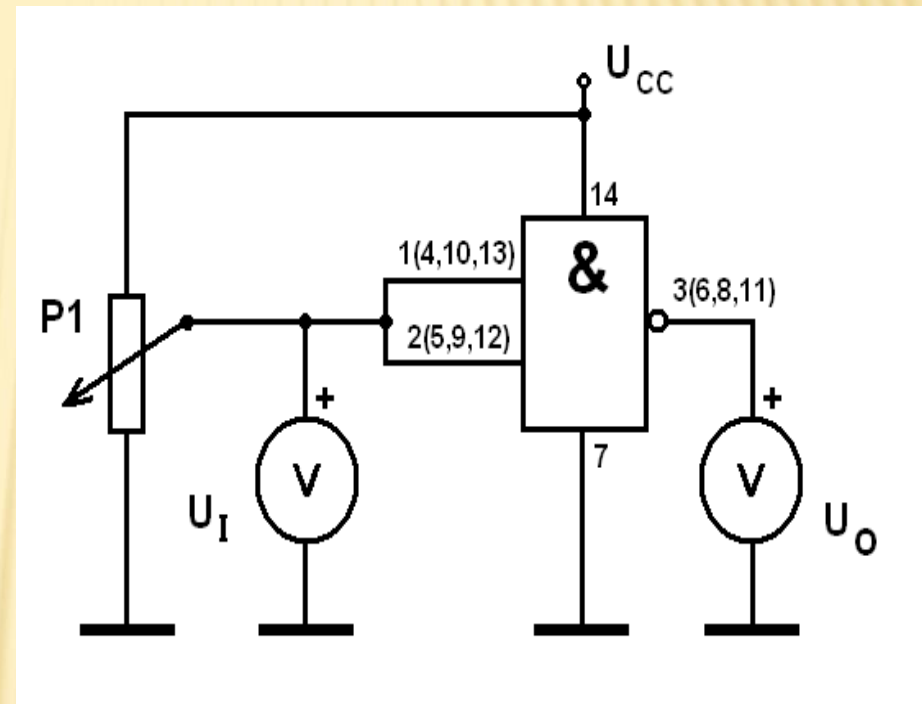
$U_0 = f(U_1)$  při  $U_{CC} = 4,75 \text{ V}$

### Postup měření:

Potenciometrem P1 měníme hodnotu vstupního napětí  $U_1 = 0$  až  $4 \text{ V}$  a odečítáme výstupní napětí  $U_0$  (rozsah cca  $4 \text{ V}$  až  $0 \text{ V}$ ).

Naměřené hodnoty vyneseme do grafu a vyznačíme do něj zakázané oblasti napětí pro vstupní logické úrovně

$U_{IL} \leq 0,8 \text{ V}$  a  $U_{IH} \geq 2,0 \text{ V}$   
a výstupní logické úrovně  
 $U_{OL} \leq 0,4 \text{ V}$  a  $U_{OH} \geq 2,4 \text{ V}$



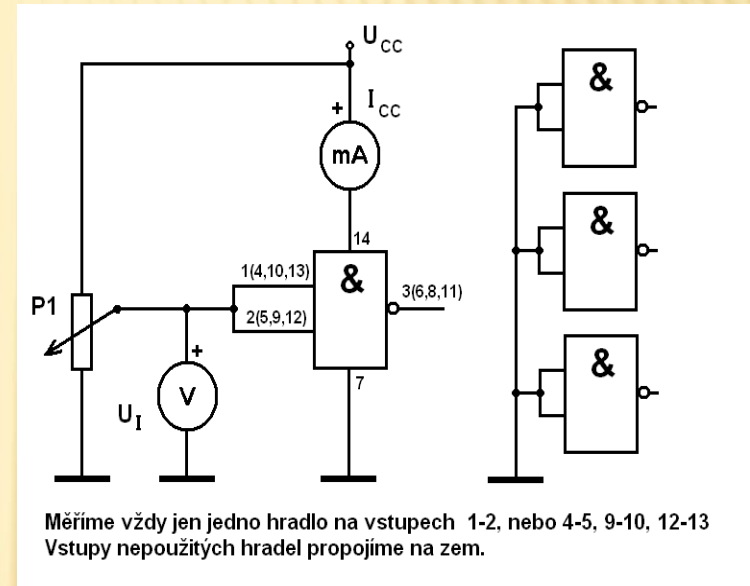
### 3. Odběrová charakteristika logického členu

$$I_{CC} = f(U_I) \quad \text{při } U_{CC} = 5,25 \text{ V}$$

#### Postup měření:

Potenciometrem P1 měníme hodnotu vstupního napětí  $U_I = 0$  až  $5,25 \text{ V}$  u jednoho hradla. Vstupy ostatních hradel uzemníme. Odečítáme hodnotu celkového napájecího proudu  $I_{CC}$  (hodnota cca  $10 \text{ mA}$  až  $50 \text{ mA}$ ), který je roven při hodnotě  $U_I = 0 \text{ V}$  hodnotě  $4 \times I_{CCL}$  a při hodnotě  $U_I = 5,25 \text{ V}$  hodnotě  $I_{CCH} + 3 \times I_{CCL}$ .

Pro získání průběhu hodnot  $I_{CC}$  jednoho hradla, musíme odečíst od naměřených hodnot  $3 \times I_{CCL}$ . Kolem hodnoty  $U_I = 1,4 \text{ V}$  dochází ke klopení obvodu a prudce se zvýší spotřeba až na cca  $50 \text{ mA}$  vlivem současného otevření tranzistorů  $T_3$  a  $T_4$  viz Obr. 1. Tuto oblast musíme proměřit velmi opatrně, abychom nepřehřáli polovodičový čip. Naměřené hodnoty přepočítáme na hodnoty pro jedno hradlo a vyneseme do grafu.



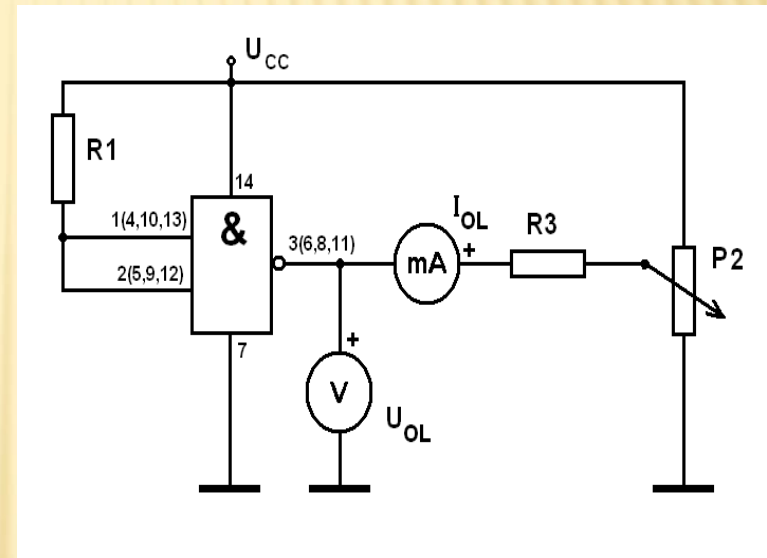
## 4. Výstupní charakteristika logického členu

$$I_{OL} = f(U_{OL}) \quad \text{při } U_{CC} = 4,75 \text{ V} \quad \text{pro log. úroveň L}$$

### Postup měření:

Potenciometrem P2 měníme hodnotu napětí na výstupu hradla  $U_{OL} = 0$  až  $1 \text{ V}$  a odečítáme hodnotu výstupního proudu  $I_{OL}$  (hodnoty cca  $0 \text{ mA}$  až  $40 \text{ mA}$ ), Odpor  $R3 = 100 \Omega$  nám zajistí, že nepřekročíme hodnotu  $40 \text{ mA}$ , kdy by mohlo dojít ke zničení hradla. Oblast proudů nad  $16 \text{ mA}$  musíme proměřit velmi opatrně, aby jsme nepřehřáli polovodičový čip vlivem velkého ztrátového výkonu v pouzdře.

Naměřené hodnoty vyneseme do grafu a vyznačíme do něj maximální proudy  $I_{OL}$ , které splňují podmínky  $U_{OL} \leq 0,4$  a  $0,8 \text{ V}$



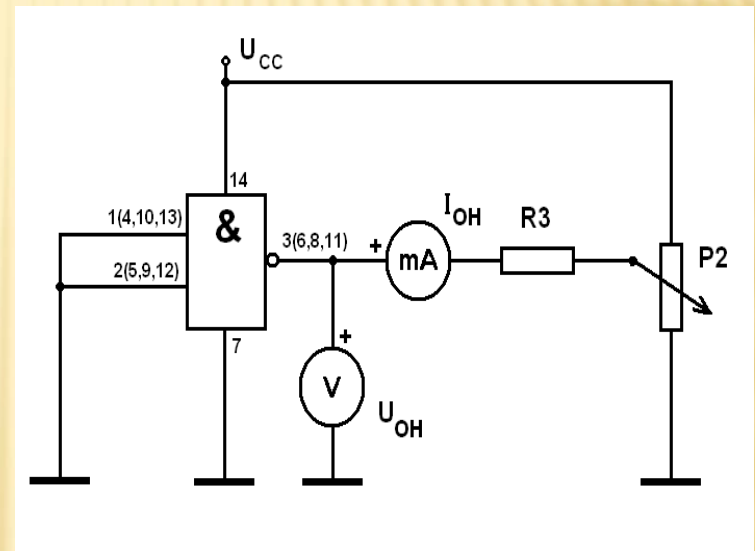
## 5. Výstupní charakteristika logického členu

$$I_{0H} = f(U_{0H}) \quad \text{při } U_{CC} = 4,75 \text{ V pro log úroveň H}$$

### Postup měření:

Potenciometrem P2 měníme hodnotu napětí na výstupu hradla  $U_{0H} = 4,75$  až  $1,5$  V a odečítáme hodnotu výstupního proudu  $I_{0H}$  (hodnoty cca  $0$  mA až  $25$  mA), Odpor  $R3 = 68 \Omega$  nám zajistí, že nepřekročíme hodnotu  $25$  mA, kdy by mohlo dojít ke zničení hradla přehřátím. Oblast proudů nad  $16$  mA musíme proměřit velmi opatrně, aby jsme nepřehřáli polovodičový čip vlivem velkého ztrátového výkonu v pouzdře.

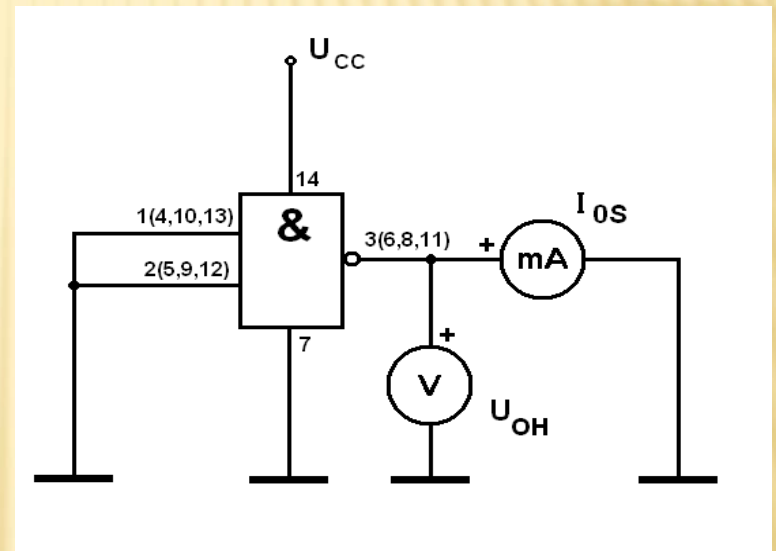
Naměřené hodnoty vyneseme do grafu a vyznačíme do něj maximální proudy  $I_{0H}$ , které splňují podmínky  $U_{0H} \geq 2,4$  a  $2,0$  V



## 6. Výstupní proud zkratový logického členu $I_{0S}$ při $U_{CC} = 5,25 \text{ V}$

### Postup měření:

Změření maximálního zkratového proudu provedeme krátkodobým připojením mA na výstupu hradla na potenciál země na závěr měření dle čl. 5. Hodnota by měla být cca  $I_{0S} = 18$  až  $55 \text{ mA}$ . Měření provádíme jen krátce, aby jsme nepřehřáli polovodičový čip vlivem velkého ztrátového výkonu v pouzdře.



Naměřenou hodnotu porovnáme s katalogovým údajem pro měřené hradlo a zaneseme do výstupní charakteristiky  $I_{0H} = f(U_{0H})$  viz čl. 5.



**Porozuměl jsi problematice  
a postupu měření ?**

**Pokud ne, zkus to znovu !**

**Stiskni „Opakovat“,**

**Pokud ano, proveř svoje znalosti testem**

**ELM-3-6-2.pdf**

